



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0002756
Application Number

출원 년 월 일 : 2003년 01월 15일
Date of Application JAN 15, 2003

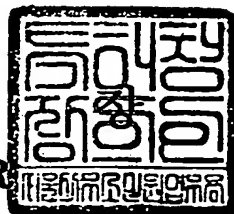
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.01.15
【국제특허분류】	G11C
【발명의 명칭】	비트 타임 단위로 제어되는 제어신호들을 발생하는 제어신호 발생회로 및 그 방법
【발명의 영문명칭】	Control signal generation circuit and control signal generation method for generating control signals controlled bit time
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	최장석
【성명의 영문표기】	CHOI, Jang Seok
【주민등록번호】	730601-1405819
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 915-10 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	임상규
【성명의 영문표기】	LIM, Sang Gyu
【주민등록번호】	630722-1251219

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 살구골7단지 현대@ 724-802
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 5 면 5,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 12 항 493,000 원
【합계】 527,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

TCLS를 클락신호의 비트 타임 단위로 제어할 수 있는 장치 및 방법이 제공된다. 제어신호 발생회로는 입력단, 제1출력단, 및 제2출력단을 구비하며, 상기 제어신호 발생회로는 상기 입력단을 통하여 입력되는 입력신호를 클락신호에 클락되어 수신하고, 두 개의 상태중에서 제1상태의 테스트 인에이블 신호에 응답하여 제1시간간격을 갖는 컬럼 래치신호와 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하거나, 상기 두 개의 상태중에서 제2상태를 갖는 상기 테스트 인에이블 신호에 응답하여 제2시간간격을 갖는 상기 컬럼 래치신호와 상기 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하고, 상기 제1시간간격 및 상기 제2시간간격은 상기 클락신호의 비트 타임단위로 제어되고, 상기 제2시간간격은 상기 제1시간간격보다 짧도록 상기 클락신호의 비트 타임단위로 제어된다. 상기 제1시간간격 및 제2시간간격 각각은 상기 컬럼 래치 신호가 활성화된 후부터 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간간격이다.

【대표도】

도 3

【색인어】

컬럼 래치신호, 데이터 입출력 명령신호, TCLS

【명세서】**【발명의 명칭】**

비트 타임 단위로 제어되는 제어신호들을 발생하는 제어신호 발생회로 및 그 방법
{Control signal generation circuit and control signal generation method for
generating control signals controlled bit time}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 컬럼 선택과 메모리 액세스 동작을 나타내는 블록도이다,

도 2는 종래의 컬럼 선택과 메모리 액세스 동작을 나타내는 타이밍도이다.

도 3은 본 발명이 제1실시예에 따른 제어신호 발생회로를 나타낸다.

도 4는 본 발명이 제1실시예에 따른 제어신호 발생회로의 타이밍도를 나타낸다.

도 5는 본 발명이 제2실시예에 따른 제어신호 발생회로를 나타낸다.

도 6은 본 발명이 제2실시예에 따른 제어신호 발생회로의 타이밍도를 나타낸다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 집적회로에 관한 것으로, 보다 상세하게는 TCLS를 클락신호의 비트 타임(bit time)단위로 제어할 수 있는 장치 및 방법에 관한 것이다.

- <9> 반도체 메모리 장치는 어드레싱을 통하여 메모리 셀 어레이를 구성하는 다수개의 메모리 셀들 중에서 하나의 메모리 셀을 선택하고, 선택된 메모리 셀에 저장된 데이터를 데이터 독출 프로세싱을 통하여 독출하거나, 또는 데이터를 데이터 기입 프로세싱을 통하여 선택된 메모리 셀로 저장한다.
- <10> 도 1은 종래의 컬럼 선택과 메모리 액세스 동작을 나타내는 블록도이다. 도 2는 종래의 컬럼 선택과 메모리 액세스 동작을 나타내는 타이밍도이다.
- <11> 도 1 및 도 2를 참조하여 데이터 독출 동작을 설명하면 다음과 같다. 여기서 로우(row)선택과 메모리 액세스 동작은 당업계에서 잘 알려져 있으므로 이에 대한 설명은 생략한다. 인터페이스(10)는 도시되지 않은 소정의 핀들을 통하여 클락신호(CLK)에 동기된 명령신호(CMD)와 어드레스(Ai)를 수신하고, 메모리 액세스를 제어하기 위한 신호들을 발생한다. 제어신호들을 컬럼 래치신호(COLLAT), 데이터 입출력 명령신호(COLCYC) 및 어드레스(Ai')를 포함한다.
- <12> 인터페이스(10)는 입력 데이터(DIN)를 수신하고 기입 데이터 신호(WD)를 입출력 감지 증폭기(80)로 출력하거나, 또는 입출력 감지 증폭기(80)로 출력된 독출 데이터 신호(RD)를 수신하고 출력 데이터 신호(Dout)로 출력한다.
- <13> 컬럼 래치신호(COLLAT)는 컬럼 어드레스를 래치하기 위한 제어신호로서, 출력되는 어드레스(Ai')가 선택된 컬럼 어드레스임을 지시하는 제어신호이다. 데이터 입출력 명령신호(COLCYC)는 선택된 컬럼으로 데이터를 기입하는 동작 또는 상기 선택된 컬럼으로부터 데이터를 독출하는 동작을 제어하기 위한 제어신호로서 도 2에 도시된 것처럼 컬럼 래치신호(COLLAT)가 활성화된 후에 활성화된다.

- <14> 컬럼 래치신호(COLLAT)와 데이터 입출력 명령신호(COLCYC)의 기능 및 이들의 관계는 당업계에서 잘 알려져 있으므로 이에 대한 상세한 설명은 생략한다.
- <15> 컬럼 어드레스 래치(30)는 컬럼 래치신호(COLLAT)에 응답하여 수신된 어드레스(Ai')에 기초하여 컬럼 어드레스(CAi)를 출력한다. 컬럼 디코더(20)는 컬럼 래치신호(COLLAT)와 컬럼 어드레스(CAi)를 수신하고, 컬럼 어드레스(CAi)에 상응하는 컬럼 선택라인을 구동하기 위한 컬럼 선택라인 출력신호(CSL)를 발생한다.
- <16> 컬럼 선택기(50)는 활성화된 컬럼 선택라인 출력신호(CSL)에 응답하여 메모리 셀 어레이(70)로부터 출력되고 비트 라인 감지증폭기(60)에 의하여 감지되고 증폭된 비트라인쌍(BL, BLB)의 데이터를 로컬 입출력 라인쌍(IO, IOB)으로 전송한다.
- <17> 입출력 감지 증폭기 제어회로(40)는 활성화된 데이터 입출력 명령신호(COLCYC)에 응답하여 입출력 감지 증폭기 인에이블 신호(PIOSE)를 발생한다. 입출력 감지 증폭기(80)는 로컬 입출력 라인쌍(IO, IOB)의 데이터를 감지하고 증폭하고, 활성화된 감지 증폭기 인에이블 신호(PIOSE)에 응답하여 로컬 입출력 라인쌍(IO, IOB)의 데이터를 독출 데이터 신호(RD)로서 글로벌 입출력 라인쌍(GIO/GIOB)으로 전송한다.
- <18> 즉, 컬럼 래치신호(COLLAT)의 활성화에 응답하여 컬럼 선택라인 출력신호(CSL)가 활성화되고, 활성화된 컬럼 선택라인 출력신호(CSL)에 응답하여 메모리 셀 어레이(70)로부터 출력되고 비트 라인 감지 증폭기(60)에 의하여 감지 증폭된 데이터는 로컬 입출력 라인쌍(IO, IOB)으로 전송되고, 로컬 입출력 라인쌍(IO, IOB)의 데이터는 입출력 감지 증폭기(80)에 의하여 디벨로프(develope)되고, 디벨로프된 데이터는 컬럼 래치신호(COLLAT)가 활성화된 후 활성화되는 데이터 입출력 명령신호(COLCYC)에 응답하여 독출 데이터(RD)로서 글로벌 입출력 라인쌍(GIO/GIOB)으로 전송된다.

<19> 도 2를 참조하면, TCLS는 컬럼 래치신호(COLLAT)가 활성화된 후 데이터 입출력 명령신호(COLCYC)가 활성화될 때까지의 시간을 나타낸다. 여기서 TCLS는 $2t_{CK}$ 이고, t_{CK} 는 클럭신호(CLK)의 한 주기를 의미하고, 비트 타임(bit time)은 t_{CK} 의 절반을 의미한다. 따라서 t_{CK} 는 2비트 타임이다.

<20> 종래의 반도체 메모리 장치는 상기 TCLS를 조절할 수 없으므로, 상기 반도체 메모리 장치의 동작주파수가 상기 반도체 메모리 장치를 테스트하기 위한 테스트 장치의 동작주파수보다 높은 경우, 상기 테스트 장치를 이용하여 상기 반도체 메모리 장치를 효과적으로 테스트할 수 없다. 따라서 테스트 시에 KGD(known good die)를 선별하는데 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서 본 발명이 이루고자 하는 기술적인 과제는 TCLS를 클럭신호의 비트 타임 단위로 제어하여 테스트를 효과적으로 수행할 수 있는 장치 및 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 본 발명에 따른 제어신호 발생회로는 입력단, 제1출력단, 및 제2출력단을 구비하며, 상기 제어신호 발생회로는 상기 입력단을 통하여 입력되는 입력신호를 클럭신호에 클럭되어 수신하고, 두 개의 상태중에서 제1상태의 테스트 인에이블 신호에 응답하여 제1시간간격을 갖는 컬럼 래치신호와 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하거나, 상기 두 개의 상태중에서 제2상태를 갖는 상기 테스트 인에이블 신호에 응답하여 제2시간간격을 갖는 상기 컬럼 래치신호와 상기 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하고, 상기 제1시간간

격 및 상기 제2시간간격은 상기 클락신호의 비트 타임단위로 제어되고, 상기 제2시간간격은 상기 제1시간간격보다 짧도록 상기 클락신호의 비트 타임단위로 제어된다.

<23> 상기 제1시간간격 및 제2시간간격 각각은 상기 컬럼 래치 신호가 활성화된 후부터 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간간격이다.

<24> 본 발명에 따른 제어신호 발생회로는 클락신호에 클락되어 입력신호를 래치하는 제1래치; 상기 클락신호에 클락되어 상기 제1래치의 출력신호를 래치하는 제2래치; 테스트 인에이블신호에 응답하여 상기 제1래치의 출력신호 또는 상기 제2래치의 출력신호를 컬럼 래치신호로서 출력하는 선택회로; 및 상기 클락신호에 클락되어 상기 제2래치의 출력신호를 데이터 입출력 명령신호로서 래치하는 제3래치를 구비하며, 상기 컬럼 래치신호가 활성화된 후, 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간은 상기 클락신호의 비트 타임단위로 제어된다.

<25> 본 발명에 따른 제어신호 발생회로는 클락신호에 클락되어 입력신호를 래치하는 제1래치; 상기 클락신호에 클락되어 상기 제1래치의 출력신호를 래치하는 제2래치; 상기 클락신호에 클락되어 상기 제2래치의 출력신호를 래치하는 제3래치; 및

<26> 테스트 인에이블신호에 응답하여 상기 제2래치의 출력신호 또는 상기 제3래치의 출력신호를 출력하는 선택회로; 상기 제1래치의 출력신호가 활성화된 후, 상기 선택회로의 출력신호가 활성화될 때까지의 시간은 상기 클락신호의 비트 타임단위로 제어된다.

<27> 본 발명에 따른 제어신호 발생방법은 입력단을 통하여 입력되는 명령신호를 클락신호에 클락되어 수신하는 단계; 및 두 개의 상태중에서 제1상태의 테스트 인에이블 신호에 응답하여 제1시간간격을 갖는 컬럼 래치신호와 데이터 입출력 명령신호를 상기 제1출

력단과 상기 제2출력단으로 각각 출력하거나, 상기 두 개의 상태중에서 제2상태를 갖는 상기 테스트 인에이블 신호에 응답하여 제2시간간격을 갖는 상기 컬럼 래치신호와 상기 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하는 단계를 구비하며, 상기 제1시간간격 및 상기 제2시간간격은 상기 클락신호의 비트 타임단위로 제어되고, 상기 제2시간간격은 상기 제1시간간격보다 짧도록 상기 클락신호의 비트 타임단위로 제어된다.

<28> 상기 제1시간간격 및 제2시간간격은 상기 컬럼 래치 신호가 활성화된 후부터 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간간격이다.

<29> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<31> 도 3은 본 발명이 제1실시예에 따른 제어신호 발생회로를 나타낸다. 도 3을 참조하면, 제어신호 발생회로(300)는 메모리 셀 어레이로/로부터 데이터를 기입/독출할 수 있는 반도체 장치에서 컬럼 래치신호(COLLAT) 및 데이터 입출력 명령신호(COLCYC)를 발생하는 회로로서, 도 1에 도시된 인터페이스(10)에 상응하는 회로이다.

<32> 제어신호 발생회로(300)는 제1래치(310), 제2래치(325), 제3래치(345), 선택회로(335)를 구비하며, 제1래치(310)는 클락신호(CLK)에 클락되어 입력신호(IN)를 래치하고, 제2래치(325)는 클락신호(CLK)에 클락되어 제1래치(310)의 출력신호를 래치하고, 선택회

로(335)는 테스트 인에이블신호(TEST_EN)의 상태(예컨대 논리 로우 또는 논리 하이)에 응답하여 제1래치(310)의 출력신호(INF1) 또는 제2래치(325)의 출력신호(INF2)를 컬럼 래치신호(COLLAT)로서 출력하고, 제3래치(345)는 클락신호(CLK)에 클락되어 제2래치(325)의 출력신호(INF2)를 데이터 입출력 명령신호(COLCYC)로서 래치하고, 컬럼 래치신호(COLLAT)가 활성화된 후 데이터 입출력 명령신호(COLCYC)가 활성화될 때까지의 시간(TCLS)은 클락신호(CLK)의 비트 타임단위로 제어된다.

- <33> 도 3에 도시된 제어신호 발생회로(300)는 컬럼 래치신호(COLLAT)가 활성화되는 시점을 조절하기 위한 회로이다.
- <34> 제어신호 발생회로(300)는 입력신호(IN), 컬럼 래치신호(COLLAT) 및 데이터 입출력 명령신호(COLCYC)의 위상 관계를 고려하여 제1인버터(320), 제2인버터(315), 제3인버터(330), 및 두 개의 버퍼들(340, 350)을 더 구비한다.
- <35> 따라서 도 3에 도시된 제어신호 발생회로(300)는 본 발명에 따른 TCLS를 비트 타임단위로 제어하기 위한 제어신호 발생회로의 동작의 설명의 편의를 위하여 제안된 하나의 실시예에 불과하다.
- <36> 제1래치(310)는 입력단(D)으로 입력되는 입력신호(IN)를 클락신호(CLK)의 하강에지에 응답하여 출력단(QB)을 통하여 제1인버터(320) 및 제2인버터(315)로 전송한다. 입력신호(IN)는 데이터 기입 명령 또는 데이터 독출 명령을 디코딩하여 발생된 신호이다. 만일 입력신호(IN)가 액티브 하이인 경우, 인버터들(320, 315, 330)은 불필요하다.

- <37> 제1인버터(320)는 제1래치(310)의 출력단(QB)과 선택회로(335)의 제1입력단(A) 사이에 접속되어, 제1래치(310)의 출력신호(INF1)를 반전시키고 반전된 출력신호(INF1B)를 선택회로(335)의 제1입력단(A)으로 출력한다.
- <38> 제2인버터(315)는 제1래치(310)의 출력단(QB)과 제2래치(325)의 입력단(D) 사이에 접속되어, 제1래치(310)의 출력신호(INF1)를 반전시키고 반전된 출력신호 (INF1B)를 제2래치(325)의 입력단(D)으로 출력한다.
- <39> 제2래치(325)는 클락신호(CLK)에 클락되어 제2인버터(315)의 출력신호 (INF1B)를 제3인버터(330) 및 선택회로(335)의 제2입력단(B)으로 출력한다. 제3인버터(330)는 제2래치(325)의 출력단(Q)과 제3래치(345)의 입력단(D) 사이에 접속된다.
- <40> 제3래치(345)는 클락신호(CLK)에 클락되어 제3인버터(330)의 출력신호 (INF2B)를 버퍼(350)로 전송한다. 버퍼(350)는 제3래치(345)의 출력신호를 버퍼링하고 그 결과를 데이터 입출력 명령신호(COLCYC)로서 출력한다.
- <41> 선택회로(335)는 테스트 인에이블 신호(TEST_EN)에 응답하여 제1인버터(320)의 출력신호(INF1B) 또는 제2래치(325)의 출력신호(INF2)를 버퍼(340)로 출력한다. 버퍼(340)는 선택회로(335)의 출력신호를 버퍼링하고 그 결과를 컬럼 래치신호 (COLLAT)로서 출력한다. 선택회로(335)는 2입력-1출력 멀티플렉서로 구현될 수 있다.
- <42> 도 4는 본 발명이 제1실시예에 따른 제어신호 발생회로의 타이밍도를 나타낸다. 도 3 및 도 4를 참조하여 TCLS를 조정하는 방법을 설명하면 다음과 같다.
- <43> 우선, 제어신호 발생회로(300)를 구비하는 반도체 장치가 정상적으로 동작하는 경우(이를 정상 모드라 한다.), 선택회로(335)는 제1상태(예컨대 논리 로우)를 갖는 테스트

트 인에이블 신호(TEST_EN)에 응답하여 제1입력단(A)으로 입력되는 신호즉, 제1래치(310)로부터 출력된 신호에 상응하는 신호를 컬럼 래치신호(COLLAT)로서 출력한다.

<44> 따라서 정상 모드에서, 데이터 입출력 명령신호(COLCYC)는 컬럼 래치신호 (COLLAT)가 활성화된 후 2tCK후에 활성화된다. 즉, 데이터 입출력 명령신호 (COLCYC)는 클락신호 (CLK)에 동기되어 동작하는 제2래치(325) 및 제3래치(350)에 의하여 컬럼 래치신호 (COLLAT)가 활성화된 후 2tCK후에 활성화된다.

<45> 그러나, 제어신호 발생회로(300)를 구비하는 반도체 장치를 테스트 장치로 테스트 하고자 하는 경우(이를 테스트 모드라 한다.), 선택회로(335)는 제2상태(예컨대 논리 하 이)를 갖는 테스트 인에이블 신호(TEST_EN)에 응답하여 제2입력단(B)으로 입력되는 신호, 즉 제2래치(325)의 출력신호(INF2)를 출력한다.

<46> 따라서 테스트 모드에서, 데이터 입출력 명령신호(COLCYC)는 컬럼 래치신호 (COLLAT)가 활성화된 후 tCK후에 활성화된다. 즉, 데이터 입출력 명령신호(COLCYC)는 클 락신호(CLK)에 동기되어 동작하는 제3래치(350)에 의하여 컬럼 래치신호 (COLLAT)가 활 성화된 후 tCK후에 활성화된다.

<47> 테스트 모드에서 컬럼 래치신호(COLLAT)가 활성화되는 시점은 정상 모드에서 컬럼 래치신호(COLLAT)가 활성화되는 시점보다 1tCK(즉, 2비트 타임)느리다.

<48> 따라서 본 발명에 따른 제어신호 발생회로(300)는 TCLS를 2tCK에서 1tCK로 감소시 키는 효과가 있다. 그리고, 본 발명에 따른 아이디어를 응용하여 TCLS를 클락신호(CLK) 의 비트 타임단위로 제어할 수 있음은 당연하다.

- <49> 도 5는 본 발명이 제2실시예에 따른 제어신호 발생회로를 나타낸다. 도 5에 도시된 제어신호 발생회로(500)는 데이터 입출력 명령신호(COLCYC)가 활성화되는 시점을 조절하기 위한 회로이다.
- <50> 제어신호 발생회로(500)는 제1래치(510), 제2래치(530), 제3래치(540), 선택회로(545)를 구비하며, 제1래치(510)는 클락신호(CLK)에 클락되어 입력신호(IN)를 래치하고, 제2래치(530)는 클락신호(CLK)에 클락되어 제1래치(510)의 출력신호를 래치하고, 제3래치(540)는 클락신호(CLK)에 클락되어 제2래치(530)의 출력신호를 래치한다. 여기서 입력신호(IN)는 도1에 도시된 인터페이스(10)로 입력되는 데이터 기입명령신호(CMD) 또는 데이터 독출 명령신호(CMD)를 디코딩하여 발생하는 신호이다.
- <51> 선택회로(545)는 테스트 인에이블신호(TEST_EN)의 상태(예컨대 논리 로우 또는 논리 하이)에 응답하여 제2래치(530)의 출력신호 또는 제3래치(540)의 출력신호를 선택적으로 출력하므로, TCLS는 클락신호(CLK)의 비트 타임단위로 제어된다.
- <52> 제어신호 발생회로(500)는 입력신호(IN), 컬럼 래치신호(COLLAT) 및 데이터 입출력 명령신호(COLCYC)의 위상 관계를 고려하여 제1인버터(520), 제2인버터(515), 제3인버터(535), 및 두 개의 버퍼들(525, 550)을 더 구비한다. 따라서 도 5에 도시된 제어신호 발생회로(500)는 본 발명에 따른 제어신호 발생회로의 동작의 설명의 편의를 위하여 제안된 하나의 실시예에 불과하다.
- <53> 제1래치(510)는 입력단(D)으로 입력되는 입력신호(IN)를 클락신호(CLK)의 하강에지에 응답하여 출력단(QB)을 통하여 제1인버터(520) 및 제2인버터(515)로 전송한다.

- <54> 제1인버터(520)는 제1래치(510)의 출력단(QB)과 버퍼(525)의 입력단사이에 접속되어, 제1래치(510)의 출력신호(FC1)를 반전시키고 반전된 출력신호(FC1B)를 버퍼(525)의 입력단으로 출력한다. 버퍼(525)는 제1인버터(520)의 출력신호(FC1B)를 버퍼링하고 그 결과를 컬럼 래치신호(COLLAT)로서 출력한다.
- <55> 제2인버터(515)는 제1래치(510)의 출력단(QB)과 제2래치(530)의 입력단(D)사이에 접속되어, 제1래치(510)의 출력신호(FC1)를 반전시키고 반전된 출력신호(FC1B)를 제2래치(530)의 입력단(D)으로 출력한다.
- <56> 제2래치(530)는 클락신호(CLK)에 클락되어 제1인버터(515)의 출력신호(FC1B)를 제3인버터(535) 및 선택회로(545)의 제2입력단(B)으로 전송한다. 제3인버터(535)는 제2래치(530)의 출력단(Q)과 제3래치(540)의 입력단(D)사이에 접속된다.
- <57> 제3래치(540)는 클락신호(CLK)에 클락되어 제3인버터(535)의 출력신호를 선택회로(545)의 제1입력단(A)으로 전송한다.
- <58> 선택회로(545)는 테스트 인에이블 신호(TEST_EN)의 상태(예컨대 논리 로우 또는 논리 하이)에 응답하여 제2래치(530)의 출력신호(FC2) 또는 제3래치(540)의 출력신호를 선택적으로 버퍼(550)로 출력한다. 버퍼(550)는 선택회로(545)의 출력신호를 버퍼링하고 그 결과를 데이터 입출력 명령신호(COLCYC)로서 출력한다. 선택회로(545)는 2입력-1출력 멀티플렉서로 구현될 수 있다.
- <59> 도 6은 본 발명이 제2실시예에 따른 제어신호 발생회로의 타이밍도를 나타낸다. 도 5 및 도 6을 참조하여 TCLS를 조정하는 방법을 설명하면 다음과 같다.

- <60> 우선, 정상 모드에서, 제1래치(510)는 클락신호(CLK)의 하강에지에 응답하여 입력 신호(IN)의 위상과 반대 위상을 갖는 신호(FC1)를 제1인버터(520)로 출력하고, 제1인버터(520)는 제1래치(510)의 출력신호(FC1)를 반전시켜 반전된 신호(FC1B)를 컬럼 래치신호(COLLAT)로서 출력한다.
- <61> 컬럼 래치신호(COLLAT)가 활성화된 후 $2t_{CK}$ 후에 선택회로(545)는 제1상태(예컨대 논리 로우)를 갖는 테스트 인에이블 신호(TEST_EN)에 응답하여 제1입력단(A)으로 입력되는 신호를 선택하여 출력한다.
- <62> 따라서 정상 모드에서, 데이터 입출력 명령신호(COLCYC)는 컬럼 래치신호 (COLLAT)가 활성화된 후 $2t_{CK}$ 후에 활성화된다. 즉, 데이터 입출력 명령신호 (COLCYC)는 클락신호 (CLK)에 동기되어 동작하는 제2래치(530) 및 제3래치(540)에 의하여 컬럼 래치신호 (COLLAT)가 활성화된 후 $2t_{CK}$ 후에 활성화된다.
- <63> 그러나, 테스트 모드에서 선택회로(545)는 제2상태(예컨대 논리 하이)를 갖는 테스트 인에이블 신호(TEST_EN)에 응답하여 제2입력단(B)으로 입력되는 신호, 즉 제2래치 (530)의 출력신호를 출력한다.
- <64> 따라서 테스트 모드에서, 데이터 입출력 명령신호(COLCYC)는 컬럼 래치신호 (COLLAT)가 활성화된 후 t_{CK} 후에 활성화된다.
- <65> 테스트 모드에서 컬럼 래치신호(COLLAT)가 활성화되는 시점은 정상 모드에서 컬럼 래치신호(COLLAT)가 활성화되는 시점보다 $1t_{CK}$ (즉, 2비트 타임) 빠르다.

<66> 따라서 본 발명에 따른 제어신호 발생회로(500)는 TCLS를 2tCK에서 1tCK로 감소시키는 효과가 있다. 그리고, 본 발명에 따른 아이디어를 응용하여 TCLS를 클락신호(CLK)의 비트 타임단위로 제어할 수 있음은 당연하다.

<67> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<68> 상술한 바와 같이 본 발명에 따른 제어신호 발생회로 및 제어신호 발생방법은 TCLS를 클락신호의 비트 타임단위로 제어할 수 있으므로, 제어신호 발생회로를 구비하는 반도체 장치를 테스트하는 테스트 장치의 동작주파수의 한계를 극복할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

제어신호 발생회로에 있어서,

입력단 ;

제1출력단; 및

제 2출력단을 구비하며,

상기 제어신호 발생회로는,

상기 입력단을 통하여 입력되는 입력신호를 클락신호에 클락되어 수신하고, 두 개의 상태중에서 제1상태의 테스트 인에이블 신호에 응답하여 제1시간간격을 갖는 컬럼 래치신호와 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하거나, 상기 두 개의 상태중에서 제2상태를 갖는 상기 테스트 인에이블 신호에 응답하여 제2시간간격을 갖는 상기 컬럼 래치신호와 상기 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각각 출력하고,

상기 제1시간간격 및 상기 제2시간간격은 상기 클락신호의 비트 타임단위로 제어되고, 상기 제2시간간격은 상기 제1시간간격보다 짧도록 상기 클락신호의 비트 타임단위로 제어되는 것을 특징으로 하는 제어신호 발생회로.

【청구항 2】

제1항에 있어서, 상기 제1시간간격 및 제2시간간격 각각은 상기 컬럼 래치 신호가 활성화된 후부터 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간간격인 것을 특징으로 하는 제어신호 발생회로.

【청구항 3】

제어신호 발생회로(300)에 있어서,
 클락신호에 클락되어 입력신호를 래치하는 제1래치;
 상기 클락신호에 클락되어 상기 제1래치의 출력신호를 래치하는 제2래치;
 테스트 인에이블신호에 응답하여 상기 제1래치의 출력신호 또는 상기 제2래치의 출력신호를 컬럼 래치신호로서 출력하는 선택회로; 및
 상기 클락신호에 클락되어 상기 제2래치의 출력신호를 데이터 입출력 명령신호로서 래치하는 제3래치를 구비하며,
 상기 컬럼 래치신호가 활성화된 후, 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간은 상기 클락신호의 비트 타임단위로 제어되는 것을 특징으로 하는 제어신호 발생회로.

【청구항 4】

제3항에 있어서, 상기 입력신호는 데이터 기입 명령신호 또는 데이터 독출 명령신호를 디코딩하여 발생된 신호이며, 상기 입력신호는 상응하는 상기 데이터 기입 명령신호 또는 상기 데이터 독출 명령신호에 응답하여 활성화되는 것을 특징으로 하는 제어신호 발생회로.

【청구항 5】

제3항에 있어서, 상기 제어신호 발생회로는,
 상기 제1래치의 출력단과 상기 선택회로의 제1입력단사이에 접속되는 제1인버터;
 상기 제1래치의 출력단과 상기 제2래치의 입력단사이에 접속되는 제2인버터; 및

상기 제2래치의 출력단과 상기 제3래치의 입력단사이에 접속되는 제3인버터를 더 구비하며,

상기 제2래치의 출력단은 상기 선택회로의 제2입력단과 접속되는 것을 특징으로 하는 제어신호 발생회로.

【청구항 6】

제3항에 있어서, 상기 제1래치의 출력신호는 상기 입력신호의 반전신호인 것을 특징으로 하는 제어신호 발생회로.

【청구항 7】

제어신호 발생회로에 있어서,

클락신호에 클락되어 입력신호를 래치하는 제1래치;

상기 클락신호에 클락되어 상기 제1래치의 출력신호를 래치하는 제2래치;

상기 클락신호에 클락되어 상기 제2래치의 출력신호를 래치하는 제3래치; 및

테스트 인에이블신호에 응답하여 상기 제2래치의 출력신호 또는 상기 제3래치의 출력신호를 출력하는 선택회로;

상기 제1래치의 출력신호가 활성화된 후, 상기 선택회로의 출력신호가 활성화될 때까지의 시간은 상기 클락신호의 비트 타임단위로 제어되는 것을 특징으로 하는 제어신호 발생회로.

【청구항 8】

제7항에 있어서, 상기 제어신호 발생회로는,

상기 제1래치의 출력을 반전시키는 제1인버터;

상기 제1래치의 출력단과 상기 제2래치의 입력단사이에 접속되는 제2인버터; 및
상기 제2래치의 출력단과 상기 제3래치의 입력단사이에 접속되는 제3인버터를 더
구비하고,

상기 선택회로의 제1입력단은 상기 제3래치의 출력단에 접속되고, 제2입력단은 상
기 제2래치의 출력단에 접속되는 것을 특징으로 하는 제어신호 발생회로.

【청구항 9】

제7항에 있어서, 상기 제1래치의 출력신호는 컬럼 래치신호이고 상기 선택회로의
출력신호는 데이터 입출력 명령신호인 것을 특징으로 하는 제어신호 발생회로.

【청구항 10】

제7항에 있어서, 상기 제1래치의 출력신호는 상기 입력신호의 반전신호인 것을 특
징으로 하는 제어신호 발생회로.

【청구항 11】

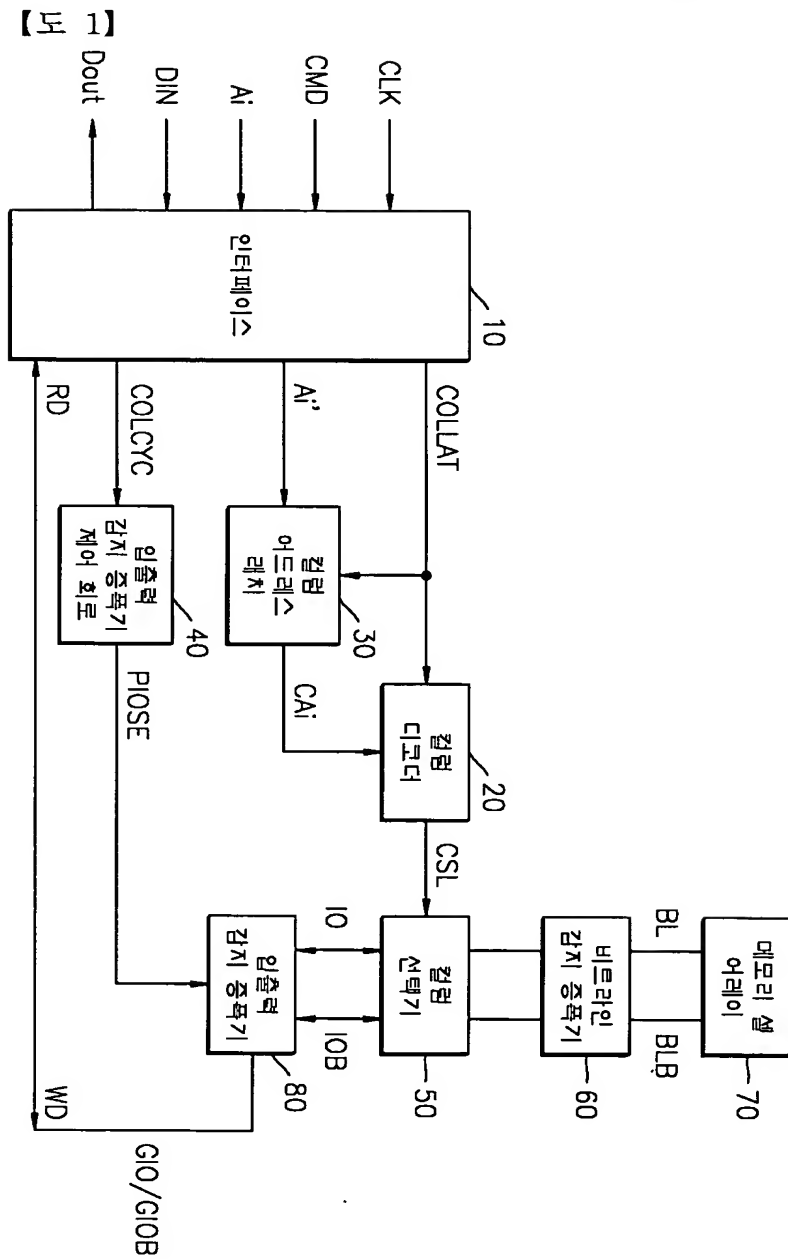
제어신호 발생방법에 있어서,
입력단을 통하여 입력되는 명령신호를 클락신호에 클락되어 수신하는 단계; 및
두 개의 상태중에서 제1상태의 테스트 인에이블 신호에 응답하여 제1시간간격을 갖
는 컬럼 래치신호와 데이터 입출력 명령신호를 상기 제1출력단과 상기 제2출력단으로 각
각 출력하거나, 상기 두 개의 상태중에서 제2상태를 갖는 상기 테스트 인에이블 신호에
응답하여 제2시간간격을 갖는 상기 컬럼 래치신호와 상기 데이터 입출력 명령신호를 상
기 제1출력단과 상기 제2출력단으로 각각 출력하는 단계를 구비하며,

상기 제1시간간격 및 상기 제2시간간격은 상기 클락신호의 비트 타임단위로 제어되고, 상기 제2시간간격은 상기 제1시간간격보다 짧도록 상기 클락신호의 비트 타임단위로 제어되는 것을 특징으로 하는 제어신호 발생방법.

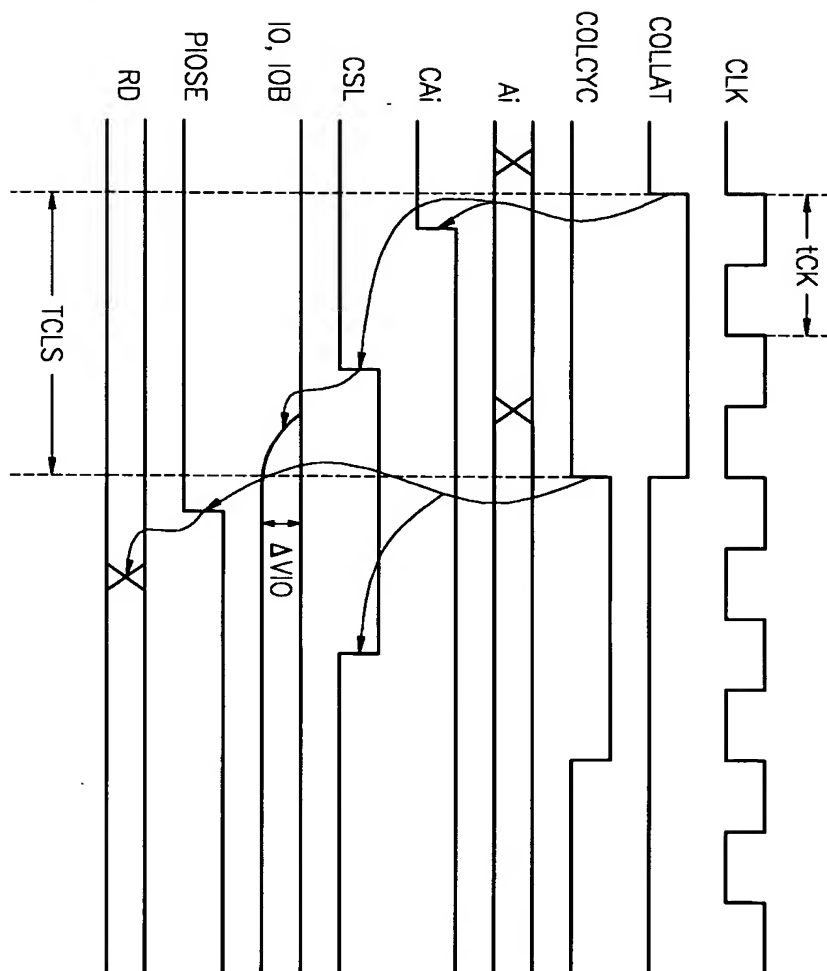
【청구항 12】

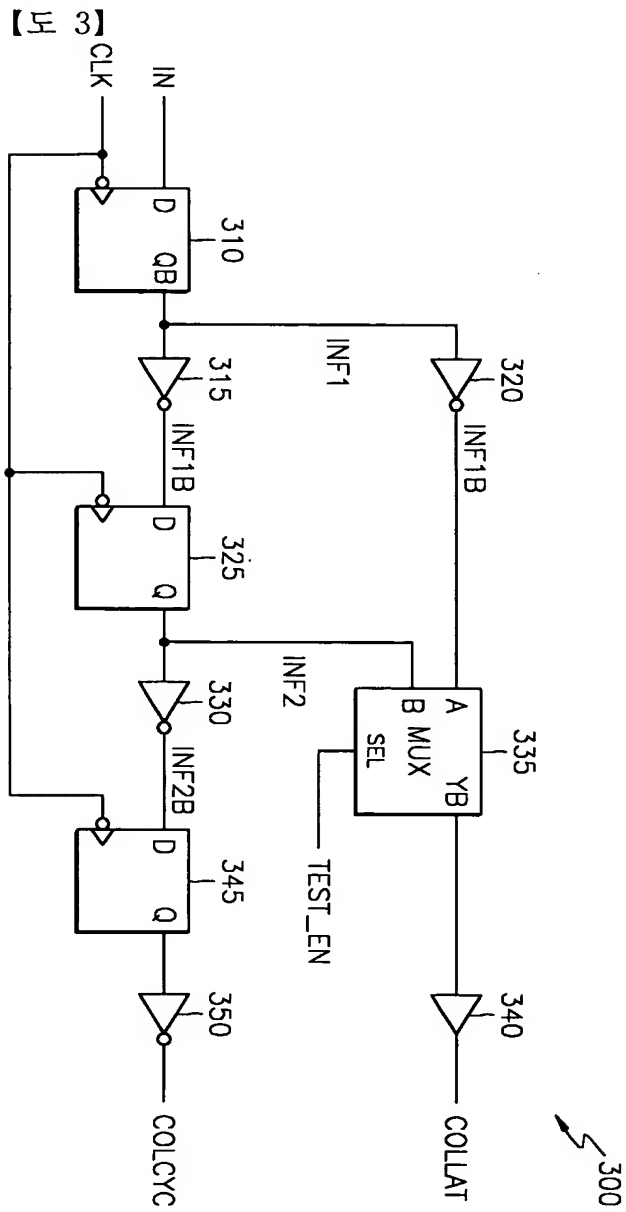
제11항에 있어서, 상기 제1시간간격 및 제2시간간격은 상기 컬럼 래치 신호가 활성화된 후부터 상기 데이터 입출력 명령신호가 활성화될 때까지의 시간간격인 것을 특징으로 하는 제어신호 발생방법.

【도면】

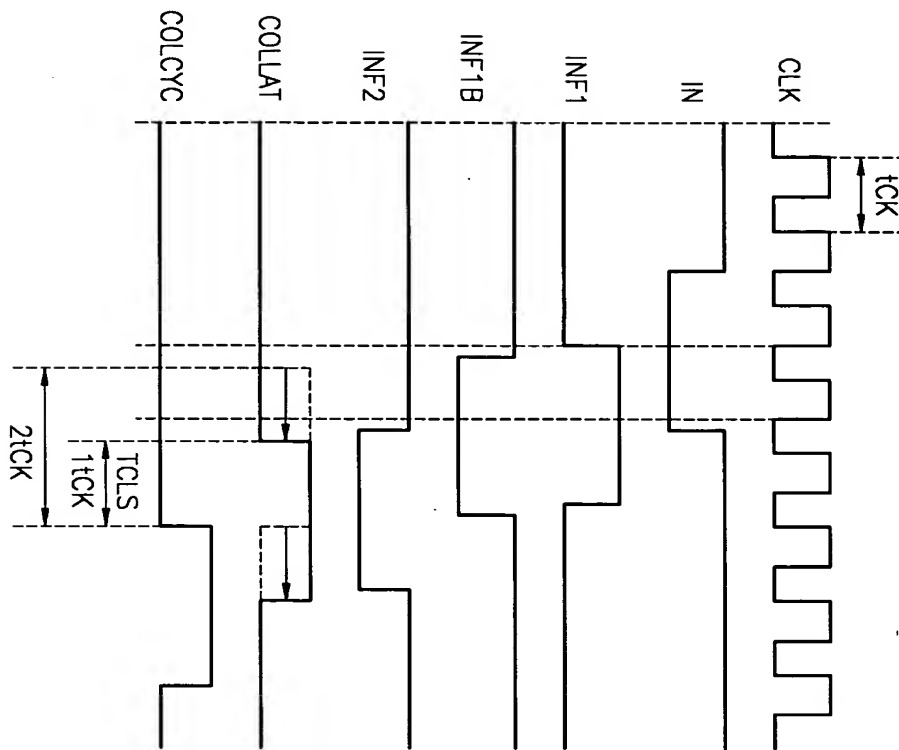


【표 2】

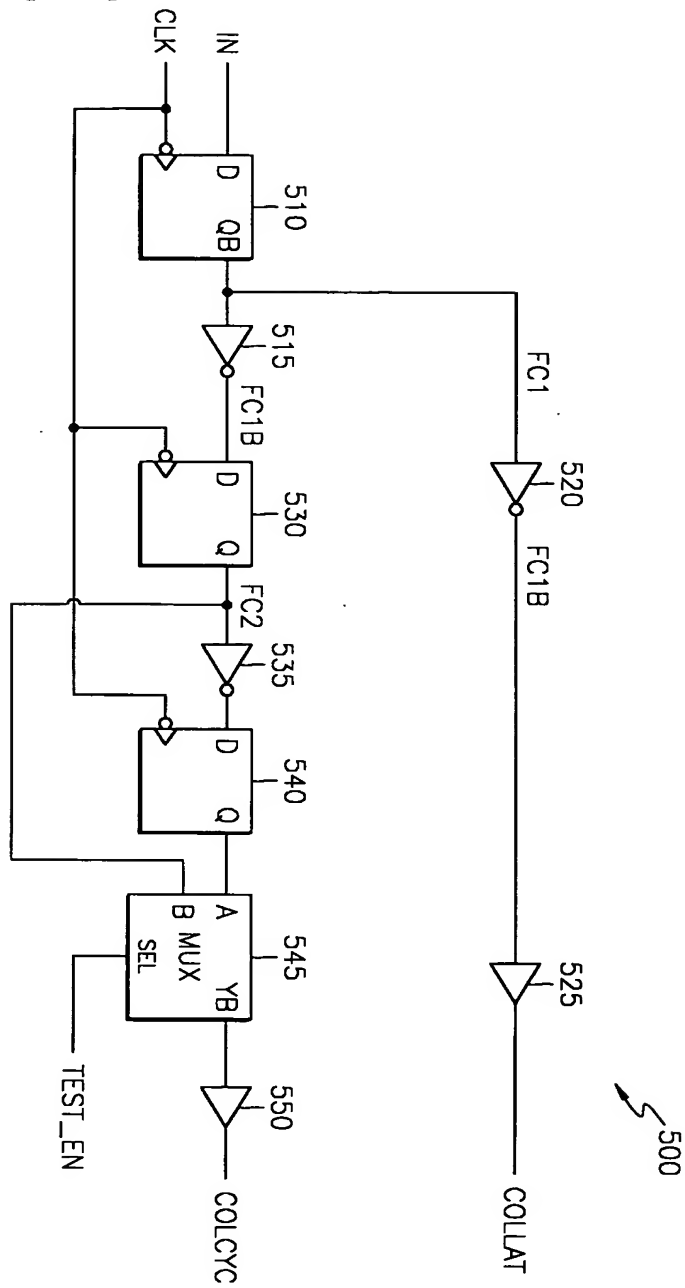




【표 4】



【도 5】



【도 6】

